

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-167589

(P2001-167589A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル (参考)
G 1 1 C 16/02 16/06		G 1 1 C 17/00	6 1 1 E 6 1 1 A 6 3 4 Z 6 3 4 A 6 3 6 Z
審査請求 未請求 請求項の数 9 O L (全 14 頁) 最終頁に続く			

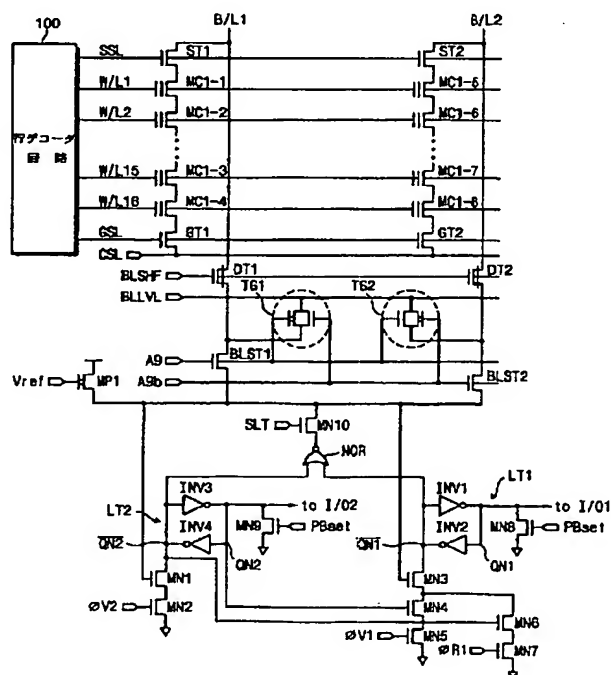
(21) 出願番号	特願2000-334987(P2000-334987)	(71) 出願人	390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416
(22) 出願日	平成12年11月1日(2000.11.1)	(72) 発明者	金 桐 煥 大韓民国ソウル市麻浦区玄石洞4-4番地
(31) 優先権主張番号	1 9 9 9 P - 4 7 9 5 9	(72) 発明者	權 錫 千 大韓民国京畿道成南市盆堂区丁字洞122番地
(32) 優先日	平成11年11月1日(1999.11.1)		サンロックタウン ウーサンアパート 325棟801号
(33) 優先権主張国	韓国 (K R)	(74) 代理人	100086368 弁理士 萩原 誠

(54) 【発明の名称】 不揮発性半導体メモリ装置およびそのプログラム方法

(57) 【要約】

【課題】 プログラム以後しきい値電圧間のマージンを一定に維持させる不揮発性半導体メモリ装置およびそのプログラム方法を提供する。

【解決手段】 ビットラインと、このビットラインに対して垂直に配列された複数本のワードラインと、前記ビットラインと前記ワードラインの交差領域にそれぞれ配列された複数個のメモリセルと、それぞれが対応する入出力ラインに接続され、データをラッチする少なくとも2つのラッチを有する貯蔵回路と、前記ラッチにラッチされたデータの論理状態によりプログラム動作で前記ビットラインをプログラム電圧及びプログラム禁止電圧のうちの一つに設定するプログラムデータ判別回路とを含む。



1

【特許請求の範囲】

【請求項1】 ビットラインと、

このビットラインに対して垂直に配列された複数本のワードラインと、

前記ビットラインと前記ワードラインの交差領域にそれぞれ配列された複数個のメモリセルと、
それぞれが対応する入出力ラインに接続され、データをラッチする少なくとも2つのラッチを有する貯蔵回路と、

前記ラッチにラッチされたデータの論理状態によりプログラム動作で前記ビットラインをプログラム電圧及びプログラム禁止電圧のうちの一つに設定するプログラムデータ判別回路とを含むことを特徴とする不揮発性半導体メモリ装置。

【請求項2】 前記プログラムデータ判別回路は、ラッチにそれぞれラッチされたデータの論理状態のうち少なくとも一つが選択されたメモリセルのプログラムを示すときに前記ビットラインをプログラム電圧に設定し、前記ラッチにそれぞれラッチされたデータの論理状態が前記選択されたメモリセルのプログラム禁止を示すときに前記ビットラインをプログラム禁止電圧に設定することを特徴とする請求項1に記載の不揮発性半導体メモリ装置。

【請求項3】 前記プログラムデータ判別回路は、前記ラッチにそれぞれラッチされたデータをそれぞれ受け入れる入力端子及び出力端子を有するNORゲートと、前記ビットラインと前記NORゲートの出力端子との間に接続され、制御信号によりスイッチオン／オフされるスイッチトランジスタとを含んでおり、前記制御信号はプログラム動作のみで活性化されることを特徴とする請求項2に記載の不揮発性半導体メモリ装置。

【請求項4】 電源電圧と前記ビットラインとの間に接続され、プログラム検証動作で基準電圧にตอบสนองして前記ビットラインに一定の電流を供給する負荷トランジスタと、
前記プログラム検証動作で、ラッチ活性化信号にตอบสนองして前記ビットラインの電圧レベルにしたがって前記貯蔵回路にラッチされたデータの論理状態を反転させ、あるいはそのまま維持させる貯蔵制御回路とを付加的に含むことを特徴とする請求項3に記載の不揮発性半導体メモリ装置。

【請求項5】 前記ワードラインに対して垂直に配列された他のビットライン及び、ビットライン選択信号にตอบสนองして前記ビットラインのうちいずれか一つを選択するビットライン選択回路を付加的に含んでおり、選択されないビットラインはプログラム及びプログラム検証動作で前記ビットライン選択回路により前記電源電圧にバイアスされ、前記選択されたビットラインはプログラム動作で前記ラッチにラッチされたデータの論理状態により前記プログラムデータ判別回路を通じてプログラム電圧

2

とプログラム禁止電圧のうちの一つに設定されることを特徴とする請求項4に記載の不揮発性半導体メモリ装置。

【請求項6】 前記プログラム電圧は接地電圧レベルを有し、前記プログラム禁止電圧は電源電圧レベルを有することを特徴とする請求項5に記載の不揮発性半導体メモリ装置。

【請求項7】 前記ラッチにそれぞれ接続されると、前記ラッチにプログラムされるデータビットがローディングされる前に初期化信号にตอบสนองして前記ラッチをそれぞれ初期化させる初期化トランジスタを付加的に含むことを特徴とする請求項6に記載の不揮発性半導体メモリ装置。

【請求項8】 前記ラッチにラッチされたデータビットは一連のプログラムサイクルで選択されたメモリセルにプログラムされ、前記各プログラムサイクルは前記プログラム動作及び前記プログラム検証動作で構成されることを特徴とする請求項7に記載の不揮発性半導体メモリ装置。

【請求項9】 マルチステート不揮発性半導体メモリ装置のプログラム方法において、
選択されたメモリセルにプログラムされる複数のデータビットの情報を貯蔵回路にローディングする段階と、
前記貯蔵回路のデータビットのうち少なくとも一つが前記選択されたメモリセルのプログラムを示すかどうかを判別する段階と、

前記少なくとも一つのデータビットが前記選択されたメモリセルのプログラムを示すとき、選択されたビットラインをプログラム電圧に設定し、前記貯蔵回路のデータビットがすべて前記選択されたメモリセルのプログラム禁止を示すとき、前記ビットラインをプログラム禁止電圧に設定する段階とを含むことを特徴とするプログラム方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置に関し、特にセル当たり複数のビット情報を貯蔵する不揮発性半導体メモリ装置およびそのプログラム方法に関するものである。

【0002】

【従来の技術】不揮発性半導体メモリ装置はマスクROM装置、電気的にプログラム可能なROM (EPROM) 装置、電気的に消去及びプログラム可能なROM (EEPROM) 装置、そして電気的に消去及びプログラム可能なフラッシュROM (flash-EEPROM) 装置に分けられる。このようなメモリ装置のうち、電気的に消去及びプログラム可能なフラッシュROM装置は貯蔵されたデータを一瞬に消去することにより、情報の電気的な変化が得られるということで、個人用コンピュータの永久メモリとして論議されてきた。

3

【0003】一般のフラッシュメモリ装置において、メモリセルは2つの情報貯蔵状態、すなわち“オン”状態と“オフ”状態のうちの一つを有する。1ビット情報は各メモリセルのオンまたはオフ状態に定義される。上記のメモリ装置にNビットデータ（Nは2またはそれより大きい自然数）を貯蔵するためには、N個のメモリセルが必要である。1ビットメモリセルを有するメモリ装置に貯蔵されるデータビット数を増加しようとするとき、このようなメモリセルの数も比例して増加する。

【0004】1ビットメモリセルに貯蔵された情報はメモリセルのプログラムされた状態により決定される。メモリセルの情報貯蔵状態はしきい値電圧により決定される。言い換えれば、メモリセルは異なるしきい値電圧により異なる情報貯蔵状態を有する。マスクROMにおいては、セルトランジスタのしきい値電圧の差はイオン注入を用いてセルトランジスタをプログラムすることで得られる。EPROM、EEPROM、そしてフラッシュEEPROM装置においては、セルトランジスタのしきい値電圧の差はメモリセルのフローティングゲート内に異なる量の電荷を貯蔵することで得られる。

【0005】具体的に、各メモリセルトランジスタはソース及びドレイン領域間のチャンネル領域上に薄く形成される上部層及び下部層を有する。この上部層は制御ゲートと呼ばれる。下部層は制御ゲート及びチャンネル領域間の絶縁物質により取り囲まれている。この下部層は電荷貯蔵領域としてフローティングゲートと呼ばれる。したがって、各メモリセルに貯蔵される情報の状態はメモリセルのしきい値電圧により区別することができる。

【0006】メモリ装置のメモリセルに貯蔵される情報を読み出すためには、プログラムされたメモリセルの情報貯蔵状態を点検しなければならない。選択されたメモリセルから貯蔵情報を読み出すために要求される信号はデコーダ回路により選択されたメモリセルに関連した回路に印加される。その結果、メモリセルの貯蔵情報を示す電流または電圧信号をビットラインから得ることができる。このように得られた電流または電圧信号を測定することにより、メモリセルのプログラムされた情報が判別可能である。

【0007】このようなメモリ装置はメモリセルがビットラインに接続される状態によりNOR型またはNAND型メモリセルアレイ構造を有する。NOR型メモリセルアレイにおいて、メモリセルはビットラインと接地ラインとの間にそれぞれ接続される。NAND型メモリセルアレイにおいて、メモリセルはビットラインと接地ラインとの間に直列に接続される。選択トランジスタと共に一つのビットラインに直列接続された複数のメモリセルをストリングと称し、選択トランジスタはメモリセルのストリングを選択するために使用される。この選択トランジスタは直列接続されたメモリセルと関連ビットラインとの間に配列される第1トランジスタ（またはスト

4

リング選択トランジスタ）と、直列接続されたメモリセルと接地ラインとの間に配列される第2トランジスタ（または接地選択トランジスタ）を含む。

【0008】NAND型メモリ装置に貯蔵された情報を読み出すとき、選択されたストリングの選択トランジスタはオン状態にスイッチされる。なお、選択されたメモリセルの制御ゲートに印加される電圧より高い電圧が選択されないメモリセルの制御ゲートに印加される。その結果、選択されないメモリセルは選択されたメモリセルに比べて少ない等価抵抗成分を有する。関連ビットラインからストリングを通じて流れる電流の大きさはストリングの選択されるメモリセルに貯蔵された情報による。選択されたメモリセルに貯蔵された情報に対応する電流または電圧は感知増幅器としてよく知られている感知回路により感知される。

【0009】チップサイズの増加なしにメモリ装置の情報貯蔵能力を向上するための多くの方法が提案されてきた。例えば、各メモリセルに少なくとも2ビットの情報を貯蔵する。一般に、メモリセルは1ビット情報を貯蔵する。しかし、2ビット情報が一つのメモリセルに貯蔵されるとき、メモリセルは“00”、“01”、“10”、または“11”にプログラムされる。したがって、メモリセルに1ビット情報が貯蔵されるメモリ装置に比べると、メモリ装置は同一の数のメモリセルを持ち、2倍の情報が貯蔵可能である。メモリセル当たり2ビットを貯蔵するとき、各メモリセルのしきい値電圧が4つの異なる値のうちいずれか一つを有するようにプログラムされるマルチステート（マルチレベルまたはマルチビット）メモリ装置が提供される。メモリセル当たり容量が2倍になるので、同一のメモリ容量を提供する一方、チップサイズは減少可能である。メモリセル当たり貯蔵されるビット数が増加するにしたがってマルチステートメモリ装置のデータ貯蔵容量は増加する。

【0010】図1は、NAND型フラッシュEEPROMセルを利用してメモリセル当たり2ビット情報を貯蔵する従来技術によるメモリ装置を示す回路図である。同図のメモリ装置は米国特許番号第5,768,188の

「MULTI-STATE NON-VOLATILE SEMICONDUCTOR MEMORY AND METHOD FOR DRIVING THE SAME」に開示されている。

この特許に開示された図1のメモリ装置はそれぞれが複数の直列接続されたメモリセルを有する2つのメモリセルストリングを含んでおり、各メモリセルストリングに関連した2つのビットラインを示す。より多くのメモリセルストリングとビットラインが使用されうことは、この分野で熟練した者には分かることであろう。図1において、各ストリングのメモリセルは参照符号T1-2～T1-5またはT1-8～T1-11でそれぞれ示す。選択トランジスタT1-1またはT1-7は各ストリングと関連したビットラインBL1またはBL2間に接続される。選択トランジスタは関連したストリングとビット

5

ラインを相互に接続するために選択的にターンオンされる。他の選択トランジスタT1-6またはT1-12は各ストリングと共通ソースラインCSLとの間に配列され、ストリング共通ソースラインCSLとの間の接続を選択的に転換する。空乏型トランジスタD1-1またはD1-2は高電圧の印加を防ぐために各ビットラインに接続されている。

【0011】ビットライン選択トランジスタS1-1またはS1-2は各ビットラインに接続されている。各ビットライン選択トランジスタはビットライン選択信号A9またはA9bに
10 応答して各ビットラインを選択する。信号ラインBL_LVLは伝達トランジスタTM1-1、TM1-2を通じてビットラインのそれぞれに接続されている。各伝達トランジスタはビットラインが選択されないとき、印加されたビットライン選択信号A9、A9bに
20 応答して信号ラインBL_LVLからの信号に関連したビットライン（すなわち、選択されないビットライン）に印加する。この信号はプログラム及び読出し動作で選択されないビットラインにプログラム禁止電圧（例えば、電源電圧V_{cc}）を供給する一方、消去動作でフ
ローティング状態に維持される。トランジスタT1-13は読出し動作で選択されたビットラインに定電流を供給するためにビットラインに共通に接続されている。図1のメモリ装置は各ビットラインに関連したラッチ型感知増幅器I1-1、I1-2またはI1-3、I1-4を含む。感知増幅器はプログラム動作で外部から印加されるデータ
をラッチし、関連したビットラインにラッチされたデータに対応する電圧を供給し、読出し動作で読み出されたデータをラッチする。

【0012】複数のトランジスタT1-17、T1-18、T1-19、T1-21、T1-22、T1-23が設けられ、読出し動作で選択されたビットラインのレベルにしたがって感知増幅器のラッチ状態を反転させ、あるいはそのまま維持させる。このような機能は、ラッチ活性化信号φV2、φV1、φR1により制御される。このラッチ活性化信号φV2、φV1、φR1は読出し動作が開始され、所定時間が経過した後、ラッチ状態の反転が要求される時点でパルス形態に活性化される。トランジスタT1-15はビットラインに接続されている。
30 このトランジスタT1-15はビットラインを接地電圧状態に維持させる一方、読出し動作が遂行される直前にラッチを初期化させる。このトランジスタT1-15は信号DCBにより制御される。トランジスタT1-14、T1-16はビットラインBL1、BL2にそれぞれ接続される。トランジスタT1-14、T1-16はプログラム動作が遂行されるときにターンオンされ、ラッチされるデータをビットラインBL1、BL2に伝達する。このトランジスタT1-14、T1-16は制御信号PGM1、PGM2によりそれぞれ制御される。

【0013】図2は、プログラムされたデータによるメ

6

モリセルのしきい値電圧の分布を示すものである。同図に示すように、プログラムされるメモリセルは-2.0Vより低いしきい値電圧分布（“11”の2ビットデータを示す）、0.4V~0.8V範囲のしきい値電圧分布（“10”の2ビットデータを示す）、1.6V~2.0V範囲のしきい値電圧分布（“01”の2ビットデータを示す）、そして2.8V~3.2V範囲のしきい値電圧分布（“00”の2ビットデータを示す）のうちいずれか一つを有する。このようなしきい値電圧分布を基にして一つのメモリセルに4つの異なる状態でデータが貯蔵される。

【0014】図3及び図4は、プログラム及びプログラム検証動作に関連した信号の波形を示す。プログラムサイクルはプログラム動作とプログラム検証動作を含む。プログラム動作ではメモリセルのフローティングゲートに電子が注入され、プログラム検証動作ではプログラムされたメモリセルそれぞれが要求されるしきい値電圧を持つかどうかを検証される。プログラム動作及びプログラム検証動作は選択されたメモリセルがすべて要求されるしきい値電圧を持つまで反復される。このような動作が反復される回数はメモリ装置で決定される適正值に制限される。F-Nトンネル(Fowler Nordheim tunneling)を利用して選択されたメモリセルをプログラムするためには、例えば、14V~19Vの高電圧がセルの制御ゲートに印加される一方、セルのチャンネルは接地電圧レベルに維持される。

【0015】したがって、比較的強い電界がフローティングゲートとチャンネルとの間に加えられる。この電界により、フローティングゲートとチャンネルとの間に形成される酸化膜を通じてフローティングゲートとチャンネルとの間にトンネリングが生じる。チャンネルに存在する電子はフローティングゲートに移動し、その結果、これら電子はフローティングゲートに蓄積される。フローティングゲートに電荷が蓄積されるにしたがって、セルのしきい値電圧が高くなる。複数のデータセルを構成するメモリ装置の場合、データセルに対するプログラム動作は個別的に遂行されるのではなく、同時に遂行される。しかし、メモリセルは異なるしきい値電圧、すなわち異なるプログラムを必要とする。そのため、一度のプログラム動作が遂行された後、メモリセルが要求される状態に到達したかどうかを検証する必要がある（プログラム検証）、十分にプログラムされたメモリセルに影響を与えず（プログラム禁止）、不十分にプログラムされたメモリセルに対するプログラム動作を遂行する必要がある。このプログラム動作及びプログラム検証動作は選択されたメモリセルがすべて要求されるしきい値電圧に到達するまで繰り返す。図1のメモリ装置において、選択されたワードライン（ワードラインは図1に参照符号WL1~WL16で示す）に接続されるメモリセルのうち半分が上記したようにプログラムされる。
40

7

【0016】従来技術によるプログラム動作及びプログラム検証動作は図3のタイミング図に基づいて詳細に説明される。この分野で通常の知識を有する者にはよく知られているように、プログラム動作が遂行される前にすべてのメモリセルのしきい値電圧はよく知られている消去方法により負のしきい値電圧を有する。消去動作の一例が米国特許番号第5,841,721の「MULTI-BLOCK ERASE AND VERIFICATION IN A NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND A METHOD THEREOF」に開示されている。

【0017】まず、ビットライン選択信号A9、A9bにより2つのビットラインBL1、BL2のうちの一つのビットラインBL1が選択されるとき、ラインBL1から電源電圧Vccが選択されないビットラインBL2に印加される。その結果、選択されないビットラインBL2に関連したメモリセルがプログラムされるのを防ぐことができる。選択されないビットラインに電源電圧Vccを供給するプログラム禁止技術は、この分野で熟練した者にはよく分かることであろう。

【0018】その次に、プログラムされるデータが前記選択されたビットラインBL1に関連したラッチQ2、Q1にローディングされる。“00”のデータがラッチQ2、Q1にローディングされると仮定する。この仮定下で、図3の第1プログラムサイクル(A)が始まると、ラッチQ1を選択するための信号PGM1が論理“ロー”レベルから論理“ハイ”レベルに移移する。これにより、選択されたビットラインBL1はトランジスタT1-16を通じて接地電圧レベルを有する。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定の時間が経過した後、選択されたメモリセルが要求されるしきい値電圧(例えば、0.4V~0.8V)までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0019】プログラム検証のための感知動作が遂行されるとき、信号PGM1、PGM2、BL1VLは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされないと、ビットラインBL1は前記感知動作の結果として続けて接地電圧レベルに維持される。このとき、選択されたビットラインBL1とラッチQ1の論理状態はすべて論理“ロー”レベルなので、トランジスタT1-19、T1-20はターンオフされる。したがって、図3に示すように、プログラム検証区間でラッチ活性化信号φV1がパルス形態に活性化してもラッチQ1の論理状態は反転されない。そして、このラッチQ1によるプログラム動作及びプログラム検証動作は選択されたメモリセルが十分にプログラムされるまで、または定められたプログラム回数だけ反復的に遂行される。第1プログラムサイクル(A)が終了した後、選択されたメモリセルは図6(C)及び図6

8

(D)に示すように、“10”のデータに対応する0.4V~0.8Vのしきい値電圧分布を有する。

【0020】図3の第2プログラムサイクル(B)が始まると、“0”がラッチされているラッチQ2を選択するための信号PGM2が論理“ロー”レベルから論理“ハイ”レベルに移移する。これにより、選択されたビットラインBL1はトランジスタT1-14を通じて接地電圧レベルを有する。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定の時間が経過した後、選択されたメモリセルが要求されるしきい値電圧(例えば、1.6V~2.0V)までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0021】プログラム検証のための感知動作が遂行されるとき、信号PGM1、PGM2、BL1VLは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされると、ビットラインBL1は感知動作の結果として続けて電源電圧レベルとなり、その結果、トランジスタT1-17はターンオンされる。このとき、図3に示したように、第2プログラムサイクル(B)のプログラム検証区間でラッチ活性化信号φV2がパルス形態に活性化されると、ラッチQ2の論理状態は“0”から“1”に反転される。一方、選択されたメモリセルが十分にプログラムされないと、この選択されたビットラインBL1は接地電圧レベルに維持され、その結果、ラッチQ2の状態は反転されない。この場合、ラッチQ2によるプログラム動作及びプログラム検証動作は選択されたメモリセルが十分にプログラムされるまで、または定められたプログラム回数だけ反復的に遂行される。第2プログラムサイクル(B)が終了した後、選択されたメモリセルは図6(C)及び図6(D)に示すように、“01”のデータに対応する1.6V~2.0Vのしきい値電圧分布を有する。

【0022】最後に、図3の第3プログラムサイクル(C)が始まると、“0”がラッチされているラッチQ1を選択するための信号PGM1が論理“ロー”レベルから論理“ハイ”レベルに移移する。これにより、選択されたビットラインBL1はトランジスタT1-16を通じて接地電圧レベルを有する。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定の時間が経過した後、選択されたメモリセルが要求されるしきい値電圧(例えば、2.8V~3.2V)までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0023】プログラム検証のための感知動作が遂行されるとき、信号PGM1、PGM2、BL1VLは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされると、ビットラインBL1は感知動作の結果として続けて電源電圧レベルとなり、その結果、トランジスタT1-19はターンオンさ

9

れる。このとき、ラッチQ2の状態が“1”なので、トランジスタT1-20もターンオンされる。したがって、図3に示したように、第3プログラムサイクル

(C)のプログラム検証区間でラッチ活性化信号 $\phi V1$ がパルス形態に活性化されると、ラッチQ1の論理状態は“0”から“1”に反転される。第3プログラムサイクル(C)が終了した後、図6(C)及び図6(D)に示すように、前記選択されたメモリセルは“00”のデータに対応する、すなわち目標値である2.8V~3.2Vのしきい値電圧分布を有する。

【0024】“01”のデータがラッチQ2、Q1にローディングされた場合、プログラム及びプログラム検証動作は次のようである。第1プログラムサイクル(A)が始まると、図3に示したようにラッチQ1を選択するための信号PGM1が論理“ロー”レベルから論理“ハイ”レベルに移移する。これにより、選択されたビットラインBL1はトランジスタT1-16を通じて電源電圧レベルを有する。したがって、選択されたビットラインBL1がプログラム禁止状態の電源電圧レベルに維持されるので、選択されたメモリセルは第1プログラムサイクル(A)の間プログラム禁止される。つまり、第1プログラムサイクル(A)が終了した後、選択されたメモリセルのしきい値電圧は消去された状態、すなわち“11”のデータに対応する-3V~-2Vのしきい値電圧分布でそのまま維持される。

【0025】第2プログラムサイクル(B)が始まると、“0”がラッチされているラッチQ2を選択するための信号PGM2が論理“ロー”レベルから論理“ハイ”レベルに移移する。これにより、選択されたビットラインBL1はトランジスタT1-14を通じて接地電圧レベルを有する。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定の時間が経過した後、選択されたメモリセルが要求されるしきい値電圧(例えば、1.6V~2.0V)までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0026】プログラム検証のための感知動作が遂行されるとき、信号PGM1、PGM2、BL1VLは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされると、ビットラインBL1は感知動作の結果として続けて電源電圧レベルとなり、その結果、トランジスタT1-17はターンオンされる。このとき、図3に示したように、第2プログラムサイクル(B)のプログラム検証区間でラッチ活性化信号 $\phi V2$ がパルス形態に活性化されると、ラッチQ2の論理状態は“0”から“1”に反転される。その反対に、前記選択されたメモリセルが十分にプログラムされないと、選択されたビットラインBL1は接地電圧レベルに維持され、その結果、ラッチQ2の状態は反転されない。この場合、ラッチQ2によるプログラム動作及び

10

プログラム検証動作は選択されたメモリセルが十分にプログラムされるまで、または定められたプログラム回数だけ反復的に遂行される。第2プログラムサイクル

(B)が終了した後、図6(A)及び図6(B)に示すように、前記選択されたメモリセルは“01”のデータに対応する1.6V~2.0Vのしきい値電圧分布を有する。

【0027】継続して第3プログラムサイクル(C)が始まると、ラッチQ1を選択するための信号PGM1が論理“ロー”レベルから論理“ハイ”レベルに移移する。これにより、選択されるビットラインBL1はトランジスタT1-16を通じて電源電圧レベルを有する。したがって、選択されたビットラインBL1がプログラム禁止状態の電源電圧レベルに維持されるので、選択されたメモリセルは第3プログラムサイクル(C)の間プログラム禁止される。結果的に、第3プログラムサイクル(C)が終了した後、選択されたメモリセルは以前にプログラムされた状態、すなわち“01”のデータに対応する1.6V~2.0Vのしきい値電圧分布を有する。

【0028】ラッチQ2、Q1にデータ“11”がローディングされる場合、第1、第2、及び第3プログラムサイクル(A)、(B)、(C)で選択されたビットラインBL1がプログラム禁止状態の電源電圧レベルに維持されるので、選択されたメモリセルは消去された状態に続けて維持される。すなわち、選択されたメモリセルは図5(A)及び図5(B)に示すように、-3V~-2Vのしきい値電圧分布を有する。また、ラッチQ2、Q1にデータ“10”がローディングされる場合、“00”のデータをプログラムする動作で説明したように、第1プログラムサイクルでラッチQ1の状態が“0”から“1”に反転されるので、前記選択されたメモリセルは第2及び第3プログラムサイクル(B)、(C)でプログラム禁止される。つまり、選択されたメモリセルは0.4V~0.8Vのしきい値電圧分布を有する。このような一連の過程を通じて、2ビットデータに対するプログラムが終了する。

【0029】

【発明が解決しようとする課題】上述したプログラム動作で、選択されたメモリセルのプログラムデータによるしきい値電圧の変化を図5及び図6に示す。データ“01”に対するしきい値電圧変化を示す図6(A)及び図6(B)を参照すれば、選択されたメモリセルが第1プログラムサイクル(A)でプログラム禁止されるので、選択されたメモリセルのしきい値電圧は第2プログラムサイクルが遂行されるとき、-3V~-2Vのしきい値電圧分布で1.6V~2.0Vのしきい値電圧分布に移動される。すなわち、選択されたメモリセルのしきい値電圧が“10”のデータに対応するしきい値電圧分布への移動なしに“11”のデータに対応するしきい値電圧分布で“01”のデータに対応するしきい値電圧分布に直

11

接移動される。このような理由なので、“01”のデータをプログラムするのに必要な時間（プログラム時間）は段階的にまたは順次にプログラムされるメモリセル（例えば、“00”のデータに対する説明を参照）に比べて一層長くなる。したがって、図6（A）に点線で示すように、“01”のデータにプログラムされたメモリセルのしきい値電圧分布（1.5V～2.1V）は要求される値（1.6V～2.0V）より広く分布され、しきい値電圧分布間のマージン（例えば、“10”に対応するしきい値電圧分布と“01”に対応するしきい値電圧分布との間のマージン、または“01”に対応するしきい値電圧分布と“00”に対応するしきい値電圧分布との間のマージン）が減少する。これは、読出し失敗(read fail)の原因となる。

【0030】したがって本発明の目的は、プログラム以後しきい値電圧間のマージンを一定に維持させる不揮発性半導体メモリ装置およびそのプログラム方法を提供することにある。また本発明の目的は、メモリセルを要求されるしきい値電圧までプログラムしようとするとき、メモリセルのしきい値電圧が各プログラムデータに対応するしきい値電圧に順次に移動されるようにする不揮発性半導体メモリ装置およびそのプログラム方法を提供することにある。

【0031】

【課題を解決するための手段】本発明では、一つのメモリセルにプログラムされる情報（例えば、2ビットデータ）を貯蔵する貯蔵回路及びこの貯蔵回路に貯蔵されたデータビットの論理状態を判別するプログラムデータ判別回路を含む。プログラムデータ判別回路は、貯蔵回路に貯蔵されたデータビットのうち少なくとも一つが前記メモリセルのプログラムを示すかどうかを判別し、その判別結果にしたがってビットラインをプログラム電圧（例えば、接地電圧レベル）とプログラム禁止電圧（例えば、電源電圧レベル）のうちの一つに設定する。

【0032】上記のような本発明によると、貯蔵回路に貯蔵されたデータビットの論理状態に関係なくメモリセルを各プログラムサイクルで要求されるしきい値電圧にプログラムすることができる。

【0033】

【発明の実施の形態】以下、本発明の望ましい実施の形態を添付の図面を参照して詳細に説明する。図7は、NAND型フラッシュEEPROMセルを利用してメモリセル当たり2ビット情報を貯蔵する本発明によるメモリ装置を示す回路図である。同図のメモリ装置はそれぞれが複数の直列接続されるメモリセルを有する2つのメモリセルストリングを含む。ここで、各ストリングのメモリセルは参照符号MC1-1～MC1-4またはMC1-5～MC1-8でそれぞれ示す。ストリング選択トランジスタST1、ST2は各ストリングと関連したビットライン間に接続される。このストリング選択トランジスタ

12

タST1、ST2は行デコード回路100に接続されるストリング選択ライン信号SSLの論理状態によりターンオン／オフされ、対応するストリングとビットラインを電氣的に接続する。接地選択トランジスタGT1、GT2は各ストリングと共通ソースラインCSLとの間に配列され、前記行デコード回路100からの接地選択ライン信号GSLの論理状態によりターンオン／オフされる。空乏型トランジスタDT1またはDT2は、高電圧が対応するビットラインに印加されることを防止するためのものである。

【0034】ビットライン選択トランジスタBLST1またはBLST2は対応するビットラインBL1、BL2にそれぞれ接続されている。各ビットライン選択トランジスタBLST1、BLST2はビットライン選択信号A9またはA9bに応答して各ビットラインを選択する。信号ラインBLLVLは伝達ゲートTG1、TG2を通じてビットラインBL1、BL2のそれぞれに接続されている。各伝達ゲートTG1、TG2はビットライン選択信号A9、A9bに応答して信号ラインBLLVLからの信号を選択されないビットラインに印加する。この信号はプログラム及び読出し動作で選択されないビットラインにプログラム禁止電圧（例えば、電源電圧Vcc）を供給する一方、消去動作でフローティング状態に維持される。このトランジスタBLST1、BLST2と伝達ゲートTG1、TG2はビットライン選択回路を構成する。

【0035】負荷トランジスタとして動作するPMOSトランジスタMP1は読出し動作で基準電圧Vrefを基にして選択されたビットラインに定電流を供給するためにビットラインBL1、BL2に共通に接続されている。この基準電圧Vrefを生成するための回路の一例が、米国特許番号第5,748,529の「INTEGRATED CIRCUIT MEMORY DEVICES HAVING DIRECT READ CAPABILITY」に開示されている。

【0036】本発明によるメモリ装置は各ビットラインBL1、BL2に対応し、2つのラッチされたインバータINV1とINV2、INV3とINV4で構成されるラッチ回路LT2、LT1を含む。各ラッチ回路LT1、LT2はプログラム動作で外部から印加されるデータをラッチし、読出し動作で読み出されたデータをラッチする。対応する入出力ラインI/O1、I/O2にそれぞれ接続されるラッチ回路LT1、LT2のノードQN1、QN2は読出し動作が遂行される直前に対応するNMOSトランジスタMN8、MN9を通じて初期化され、トランジスタMN8、MN9は初期化信号PResetの論理状態によりターンオン／オフされる。ラッチ回路LT1、LT2は貯蔵回路を構成する。

【0037】図7のメモリ装置において、貯蔵制御回路を構成する複数個のNMOSトランジスタMN1～MN7が更に設けられ、読出し動作で選択されたビットライ

13

ンレベルにしたがってラッチ回路LT1、LT2のラッチ状態を反転させ、あるいはそのまま維持させる。このような機能は、ラッチ活性化信号 $\phi V2$ 、 $\phi V1$ 、 $\phi R1$ により制御される。このラッチ活性化信号 $\phi V2$ 、 $\phi V1$ 、 $\phi R1$ は読出し動作が開始され、所定の時間が経過した後にラッチ状態の反転が要求される時点でパルス形態に活性化される。

【0038】本発明の望ましい実施形態によるメモリ装置は、プログラムデータ判別回路を構成するNORゲートNOR及びNMOSトランジスタMN10を更に含む。NORゲートNORの入力端子はラッチ回路LT1の反転ノード/QN1に接続され、他の入力端子はラッチ回路LT2の反転ノード/QN2に接続される。NMOSトランジスタMN10において、ソースはビットラインBL1、BL2に接続され、ドレインはNORゲートNORの出力端に接続され、ゲートは信号ラインSLTに接続される。信号SLTはプログラムが遂行される間、各プログラムサイクルのプログラム区間で論理“ハイ”レベルに維持される。このような構成によると、プログラムされるデータビットのうち少なくとも一つが論理“ロー”レベルのとき（任意の選択されたセルがプログラムされることを示すとき）、選択されるビットラインは各プログラムサイクルのプログラム動作が遂行されるときにNORゲートNOR及びNMOSトランジスタMN10を通じてプログラム電圧、すなわち接地電圧レベルに設定される。そして、プログラムされるデータビットがすべて論理“ハイ”レベルのとき（任意の選択されるセルがプログラム禁止されることを示すとき）、選択されるビットラインは各プログラムサイクルのプログラム動作が遂行されるとき、プログラムデータ判別回路によりプログラム禁止電圧、すなわち電源電圧レベルに設定される。

【0039】ここで、他の論理ゲートを用いて上述したような機能を遂行するようにプログラムデータ判別回路を構成することは自明である。そして、図7には2つのビットラインのみを示したが、より多くのビットラインが設けられ、図示しないビットラインに関連した構成要素も図7に示した構成要素と同一に構成されることは、この分野で通常の知識を有する者には明らかなことである。

【0040】以下、本発明によるメモリ装置のプログラム動作及びプログラム検証動作を参照図面に基づいて詳細に説明する。図8は、本発明のプログラム動作及びプログラム検証動作を説明するためのタイミング図である。この分野で通常の知識を有する者にはよく知られているように、プログラム動作が遂行される以前にすべてのメモリセルのしきい値電圧はよく知られている消去方法により負のしきい値電圧を有する。この後、選択されたメモリセルに対するプログラムが、次のように遂行される。

14

【0041】まず、ビットライン選択信号A9、A9bにより2つのビットラインBL1、BL2のうちいずれか一つのビットラインBL1が選択されるとき、ラインBL1から電源電圧Vccが選択されないビットラインBL2に印加される。その結果、選択されないビットラインBL2に関連したメモリセルがプログラムされることを防止可能である。その次に、選択されたビットラインBL1に関連したラッチ回路LT2、LT1にプログラムされるデータビットがローディングされる。

【0042】〈“11”のデータに対するプログラム及びプログラム検証動作〉“11”のデータがラッチ回路LT2、LT1にローディングされると仮定する。この仮定下で、第1プログラムサイクル(A)が始まると、図8に示すように、信号SLTが論理“ロー”レベルから論理“ハイ”レベルに遷移する。これにより、NMOSトランジスタMN10はターンオンされ、NORゲートNORの出力端は前記選択されたビットラインBL1に接続される。NORゲートNORの入力端子が論理“ロー”レベルのラッチ状態を有する反転ノード/QN2、/QN1にそれぞれ接続されているので、NORゲートNORの出力は論理“ハイ”レベルとなる。つまり、選択されたビットラインBL1はNORゲートNOR及びNMOSトランジスタMN10を通じて電源電圧レベル、すなわちプログラム禁止電圧に設定される。

【0043】この後、選択されたメモリセルが接続される選択されたワードライン（ワードラインは図7に参照符号WL1~WL16で示す）に高電圧が印加される。所定時間が経過した後、選択されたメモリセルはビットラインBL1がプログラム禁止電圧Vccに維持されるので、消去された状態に維持される。したがって、プログラム検証動作の結果として、ラッチ回路LT2、LT1のノードQN2、QN1は初期にローディングされた論理状態“11”に維持される。第1プログラムサイクル(A)と同様に、前記選択されたビットラインBL1は第2及び第3プログラムサイクル(B)、(C)でプログラム禁止電圧を有し、その結果、ラッチ回路LT2、LT1のノードQN2、QN1は初期にローディングされた論理状態“11”に維持される。すなわち、図9(A)及び図9(B)に示すように、選択されたメモリセルは“11”のデータに対応するしきい値電圧分布-3V~-2Vを有する。

【0044】〈“10”のデータに対するプログラム動作及びプログラム検証動作〉“10”のデータビットがラッチ回路LT2、LT1にローディングされる場合、プログラム及びプログラム検証動作は、次のようである。まず、第1プログラムサイクル(A)が始まると、信号SLTが論理“ロー”レベルから論理“ハイ”レベルに遷移し、その結果、NMOSトランジスタMN10はターンオンされる。このとき、NORゲートNORの出力端は前記選択されたビットラインBL1に接続され

15

る。NORゲートNORの入力端子が論理“ロー”レベル及び論理“ハイ”レベルのラッチ状態を有する反転ノード/QN2、/QN1にそれぞれ接続されているので、NORゲートNORの出力は論理“ロー”レベルとなる。つまり、選択されたビットラインBL1はNORゲートNOR及びNMOSトランジスタMN10を通じて接地電圧レベル（プログラム電圧）に設定される。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定時間が経過した後、選択されたメモリセルが消去状態のしきい値電圧（例えば、 $-3\text{V} \sim -2\text{V}$ ）から要求されるしきい値電圧（例えば、 $0.4\text{V} \sim 0.8\text{V}$ ）までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0045】プログラム検証のための感知動作が遂行されると、信号SLT、BLLVLは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされると、ビットラインBL1は前記感知動作の結果として継続して電源電圧レベルに維持される。この選択されたビットラインBL1及びラッチ回路LT2のノードQN2がすべて論理“ハイ”レベルなので、トランジスタMN3、MN4はすべてターンオンされる。このとき、第1プログラムサイクル（A）のプログラム検証区間でラッチ活性化信号 $\phi V1$ がパルス形態に活性化されると、ラッチ回路LT1のノードQN1の論理状態は“0”から“1”に反転される。

【0046】一方、前記選択されたメモリセルが十分にプログラムされないと、ビットラインBL1は感知動作の結果として継続して接地電圧レベルに維持される。選択されたビットラインBL1及びラッチ回路LT2のノードQN2が論理“ロー”レベル及び論理“ハイ”レベルなので、トランジスタMN3はターンオフされ、トランジスタMN4はターンオンされる。このような状態で、第1プログラムサイクル（A）のプログラム検証区間でラッチ活性化信号 $\phi V1$ がパルス形態に活性化されても、ラッチ回路LT1のノードQN1の論理状態は反転されない。上記したラッチ回路LT1によるプログラム動作及びプログラム検証動作は選択されたメモリセルが十分にプログラムされるまで（または、定められたプログラム回数だけ）反復的に遂行される。

【0047】上記第1プログラムサイクル（A）が終了した後、ラッチ回路LT2、LT1のラッチ状態が“10”から“11”に変化するので、選択されたメモリセルは上述したように第2及び第3プログラムサイクル（B）、（C）でプログラム禁止される。その結果、“10”に対するプログラムサイクルが遂行された後、図9（C）及び図9（D）に示すように選択されたメモリセルは $0.4\text{V} \sim 0.8\text{V}$ のしきい値電圧分布を有する。

【0048】＜“01”のデータに対するプログラム動

16

作及びプログラム検証動作＞“01”のデータがラッチ回路LT2、LT1にローディングされた後、信号SLTが論理“ロー”レベルから論理“ハイ”レベルに移移することにより第1プログラムサイクル（A）が始まる。NMOSトランジスタMN10はこの信号SLTのローハイ遷移によりターンオンされ、その結果、NORゲートNORの出力端は選択されたビットラインBL1に接続される。ラッチ回路LT2、LT1の反転ノード/QN2、/QN1がそれぞれ論理“ハイ”レベルと論理“ロー”レベルを有するので、選択されたビットラインBL1は接地電圧レベルを有する。この後、選択されたメモリセルが消去状態のしきい値電圧（例えば、 $-3\text{V} \sim -2\text{V}$ ）から要求されるしきい値電圧（例えば、 $0.4\text{V} \sim 0.8\text{V}$ ）までプログラムされるように選択されたワードラインに高電圧が印加される。

【0049】ここで、ラッチ回路LT1のノードQN1が論理“ハイ”レベルなので、選択されたメモリセルは不十分にプログラムされても第1プログラムサイクル

（A）で最初に遂行されるプログラム検証動作で十分にプログラムされると判別される（図示しないが、この分野でよく知られているパス/フェール判別回路により判別される）。したがって、第1プログラムサイクル

（A）のプログラム検証動作は遂行されない。この後、第1プログラムサイクル（A）が終了した後、選択されたメモリセルは $0.4\text{V} \sim 0.8\text{V}$ のしきい値電圧分布を持ち、これを図10（A）及び図10（B）に示す。

【0050】“01”に対する第2プログラムサイクル（B）が始まると、信号SLTは更に論理“ロー”レベルから論理“ハイ”レベルに移移し、その結果、NMOSトランジスタMN10はターンオンされる。このとき、NORゲートNORの出力端が選択されたビットラインBL1に接続される。前記NORゲートNORの入力端子が論理“ハイ”レベル及び論理“ロー”レベルのラッチ状態を有する反転ノード/QN2、/QN1にそれぞれ接続されているので、NORゲートNORの出力は論理“ロー”レベルになる。つまり、選択されたビットラインBL1はNORゲートNOR及びNMOSトランジスタMN10を通じて接地電圧レベルを有する。選択されたメモリセルが接続される選択されたワードラインに高電圧が印加され、所定の時間が経過した後、選択されたメモリセルが要求されるしきい値電圧（例えば、 $1.6\text{V} \sim 2.0\text{V}$ ）までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0051】プログラム検証のための感知動作が遂行されると、信号SLT、BLLVLは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされると、ビットラインBL1は感知動作の結果として続けて電源電圧レベルに維持される。選択されるビットラインBL1の論理状態が論理“ハイ”レベルなので、トランジスタMN1はターンオンされる。

17

この状態で、第2プログラムサイクル(B)のプログラム検証区間でラッチ活性化信号 $\phi V2$ がパルス形態に活性化されるとき、ラッチ回路LT2のラッチ状態は“0”から“1”に反転される。

【0052】一方、もし選択されたメモリセルが十分にプログラムされないと、ビットラインBL1は感知動作の結果として継続して接地電圧レベルに維持される。選択されたビットラインBL1の論理状態が論理“ロー”レベルなので、トランジスタMN1はターンオフされる。このような状態で、第2プログラムサイクル(B)のプログラム検証区間でラッチ活性化信号 $\phi V2$ がパルス形態に活性化しても、ラッチ回路LT2のラッチ状態は反転されない。上述したラッチ回路LT2によるプログラム動作及びプログラム検証動作は選択されたメモリセルが十分にプログラムされるまで(または、定められたプログラム回数だけ)反復的に遂行される。

【0053】上述した第2プログラムサイクル(B)が終了した後、ラッチ回路LT2、LT1のラッチ状態が“01”から“11”に変化されるので、選択されたメモリセルは第3プログラムサイクル(C)でプログラム禁止される。つまり、“01”に対する一連のプログラムサイクル(A)、(B)、(C)が遂行された後、選択されたメモリセルは図10(A)及び図10(B)に示したように1.6V~2.0Vのしきい値電圧分布を有する。本発明の“01”のデータに対するプログラム動作及びプログラム検証動作によると、図10(A)及び図10(B)から分かるように、選択されたメモリセルのしきい値電圧は第1プログラムサイクル(A)で“10”に対応するしきい値電圧分布(0.4V~0.8V)に移動され、第2プログラムサイクル(B)で“01”に対応するしきい値電圧分布(1.6V~2.0V)に移動される。すなわち、従来技術によるメモリ装置とは違って、選択されたメモリセルは“10”のデータに対応するしきい値電圧分布にプログラムされる。プログラムされるメモリセルのしきい値電圧が順次に移動されることにより、プログラム時間が長くなることと、しきい値電圧分布が広くなることを防止することが可能である。つまり、“10”及び“01”のデータに対応する、そして“01”及び“00”のデータに対応するしきい値電圧分布間のマージンを一定に維持することができる。

【0054】<“00”のデータに対するプログラム動作及びプログラム検証動作>“00”のデータがラッチ回路LT2、LT1にローディングされると仮定する。このような仮定下で、第1プログラムサイクル(A)が始まると、信号SLTが論理“ロー”レベルから論理“ハイ”レベルに遷移し、これは図8に示すようである。これにより、NMOSTランジスタMN10はターンオンされ、NORゲートNORの出力端は選択されたビットラインBL1に接続される。NORゲートNOR

18

の入力端子が論理“ハイ”レベルのラッチ状態を有する反転ノード/QN2、/QN1にそれぞれ接続されているので、NORゲートNORの出力は論理“ロー”レベルとなる。つまり、選択されたビットラインBL1はNORゲートNOR及びNMOSTランジスタMN10を通じて接地電圧レベルを有する。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定の時間が経過した後、選択されたメモリセルが消去状態のしきい値電圧(例えば、-3V~-2V)で要求されるしきい値電圧(例えば、0.4V~0.8V)までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0055】プログラム検証のための感知動作が遂行されるとき、信号SLT、BL1VLは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされないと、ビットラインBL1は感知動作の結果として継続して接地電圧レベルに維持される。このとき、選択されたビットラインBL1及びラッチ回路LT2のノードQN2の論理状態が論理“ロー”レベルなので、トランジスタMN3、MN4はターンオフされる。したがって、図8に示すように、第1プログラムサイクル(A)のプログラム検証区間でラッチ活性化信号 $\phi V1$ がパルス形態に活性化しても、ラッチ回路LT1のラッチ状態は反転されない。このラッチ回路LT1によるプログラム動作及びプログラム検証動作は選択されたメモリセルが十分にプログラムされるまで(または定められたプログラム回数だけ)反復的に遂行される。第1プログラムサイクル(A)が終了した後、図10(C)及び図10(D)に示すように、選択されたメモリセルはデータ“10”に対応する0.4V~0.8Vのしきい値電圧分布を有する。

【0056】第2プログラムサイクル(B)が始まると、信号SLTが論理“ロー”レベルから論理“ハイ”レベルに更に遷移し、これはNMOSTランジスタMN10をターンオン状態にする。第1プログラムサイクル(A)と同様に、NORゲートNORの入力端子が論理“ハイ”レベルのラッチ状態を有する反転ノード/QN2、/QN1にそれぞれ接続されているので、NORゲートNORの出力は論理“ロー”レベルとなる。したがって、選択されたビットラインBL1はNORゲートNOR及びNMOSTランジスタMN10を通じて接地電圧レベルを有する。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定の時間が経過した後、選択されたメモリセルが要求されるしきい値電圧(例えば、1.6V~2.0V)までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0057】プログラム検証のための感知動作が遂行されるとき、信号SLT、BL1VLは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分

19

にプログラムされないと、ビットラインBL1は感知動作の結果として継続して接地電圧レベルに維持される。このとき、選択されたビットラインBL1の論理状態が論理“ロー”レベルなので、トランジスタMN1はターンオフされる。したがって、図8に示したように、第2プログラムサイクル(B)のプログラム検証区間でラッチ活性化信号 $\phi V2$ がパルス形態に活性化しても、ラッチ回路LT2の論理状態Q2は反転されない。このラッチ回路LT2によるプログラム動作及びプログラム検証動作は選択されたメモリセルが十分にプログラムされるまで反復的に遂行される。

【0058】一方、選択されたメモリセルが十分にプログラムされるとき、選択されたビットラインBL1は電源電圧レベルとなり、その結果、トランジスタMN1はターンオンされる。第2プログラムサイクル(B)のプログラム検証区間でラッチ活性化信号 $\phi V2$ がパルス形態に活性化されると、ラッチ回路LT2のラッチ状態は“0”から“1”に反転される。すなわち、第2プログラムサイクル(B)が終了した後、ラッチ回路LT2、LT1のラッチ状態は“00”から“10”に変化し、選択されたメモリセルは1.6V~2.0Vのしきい値電圧分布を有し、これを図10(C)及び図10(D)に示している。

【0059】“00”のデータに対する第3プログラムサイクル(C)が始まると、NMOSTランジスタMN10は信号SLTのロー-ハイ遷移に应答してターンオンされる。NORゲートNORの入力端子が論理“ロー”レベル及び論理“ハイ”レベルのラッチ状態を有する反転ノード/QN2、/QN1にそれぞれ接続されているので、NORゲートNORの出力は論理“ロー”レベルとなる。したがって、選択されたビットラインBL1はNORゲートNOR及びNMOSTランジスタMN10を通じて接地電圧レベルを有する。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定の時間が経過した後、選択されたメモリセルが要求されるしきい値電圧(例えば、2.8V~3.2V)までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0060】プログラム検証のための感知動作が遂行されるとき、信号SLT、BL1VLは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされないと、ビットラインBL1は感知動作の結果として続けて接地電圧レベルに維持される。このとき、選択されたビットラインBL1の論理状態が論理“ロー”レベルなので、トランジスタMN3はターンオフされる。したがって、図8に示したように、第3プログラムサイクル(C)のプログラム検証区間でラッチ活性化信号 $\phi V1$ がパルス形態に活性化しても、ラッチ回路LT1のラッチ状態は反転されない。このラッチ回路LT1によるプログラム動作及びプログラム検証動作

20

作は選択されたメモリセルが十分にプログラムされるまで反復的に遂行される。

【0061】選択されたメモリセルが十分にプログラムされるとき、選択されたビットラインBL1は電源電圧レベルとなり、その結果、トランジスタMN3はターンオンされる。そして、ラッチ回路LT2のノードQN2の論理状態が以前プログラムサイクル(B)で“0”から“1”に変化したので、トランジスタMN4もターンオンされる。このような状態で、第3プログラムサイクル(C)のプログラム検証区間でラッチ活性化信号 $\phi V1$ がパルス形態に活性化されると、ラッチ回路LT1のラッチ状態は“0”から“1”に反転される。つまり、第3プログラムサイクル(C)が終了した後、図10(C)及び図10(D)に示したように、ラッチ回路LT2、LT1のラッチ状態は“10”から“11”に変化され、選択されたメモリセルは2.8V~3.2Vのしきい値電圧分布を有する。

【0062】本発明のメモリ装置はマスクROM、EPROM、EEPROMを用いて具現され、本発明によるメモリ装置はセル当たり2ビットより多くのビットが貯蔵されるように拡張可能である。なお、本発明のメモリ装置はメモリセルが高いしきい値電圧から低いしきい値電圧にプログラムされる方法にも適用可能である。

【0063】

【発明の効果】上述したように、本発明によれば、任意の選択されたセルを消去された状態のしきい値電圧から目標しきい値電圧にプログラムしようとするとき、選択されたセルは消去された状態のしきい値電圧と目標しきい値電圧との間のしきい値電圧に対応して順次にプログラムされる。したがって、任意のデータ(例えば、“10”)に対応するしきい値電圧を経ずにプログラムする従来技術と比較してみると、本発明によればプログラム時間が長くなり、あるいは目標しきい値電圧の分布が広くなることを防ぐことができる。つまり、しきい値電圧分布間のマージンを一定に維持できる効果がある。

【図面の簡単な説明】

【図1】従来技術による不揮発性半導体メモリ装置を示す回路図。

【図2】プログラムされたデータによるメモリセルのしきい値電圧分布を示す図。

【図3】図1のメモリ装置のプログラム及びプログラム検証動作に関連した信号を示すタイミング図。

【図4】プログラム及び検証動作で図1の選択されたワードラインに印加される電圧を示す図。

【図5】プログラム動作で、図1によるメモリセルのプログラムデータ及びしきい値電圧の変化を示す図。

【図6】プログラム動作で、図1によるメモリセルのプログラムデータ及びしきい値電圧の変化を示す図。

【図7】本発明による不揮発性半導体メモリ装置の実施の形態を示す回路図。

21

【図8】図7のメモリ装置のプログラム及びプログラム検証動作に関連した信号を示すタイミング図。

【図9】プログラム動作で、図7によるメモリセルのプログラムデータ及びしきい値電圧の変化を示す図。

【図10】プログラム動作で、図7によるメモリセルのプログラムデータ及びしきい値電圧の変化を示す図。

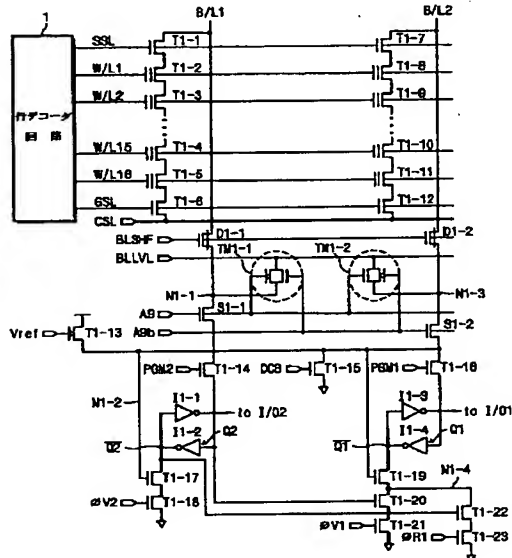
【符号の説明】

*

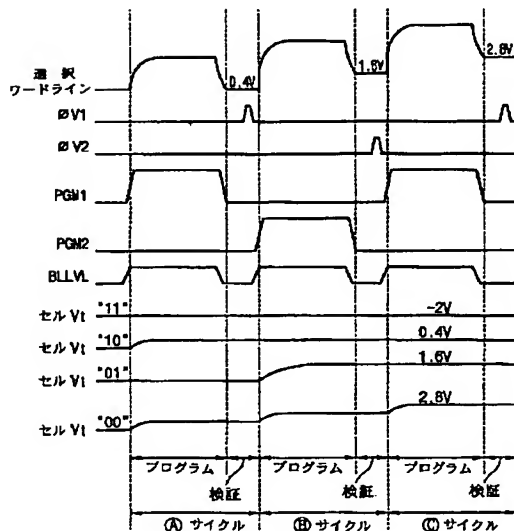
22

*BL1, BL2 ビットライン
WL1~WL16 ワードライン
MC1-1~MC1-8 メモリセル
LT1, LT2 ラッチ回路
NOR NORゲート
MN10 NMOSTランジスタ

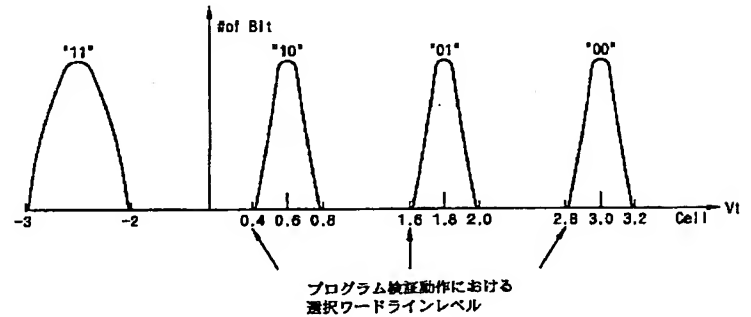
【図1】



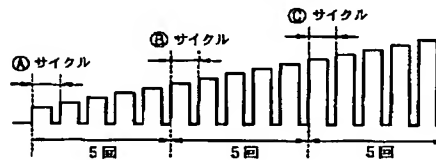
【図3】



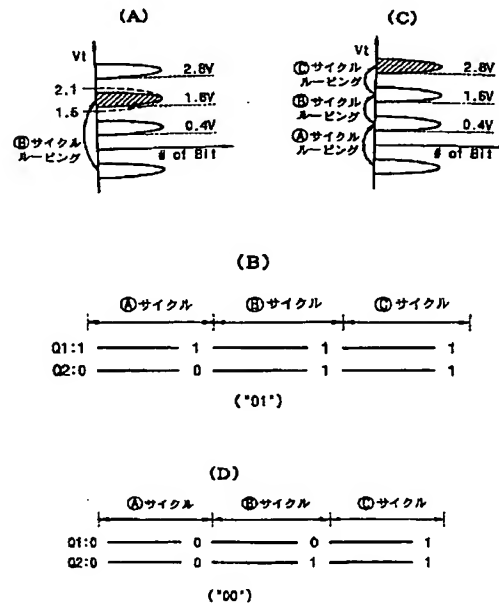
【図2】



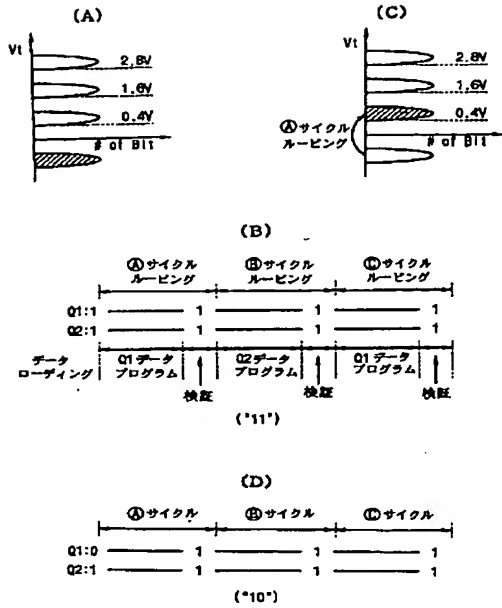
【図4】



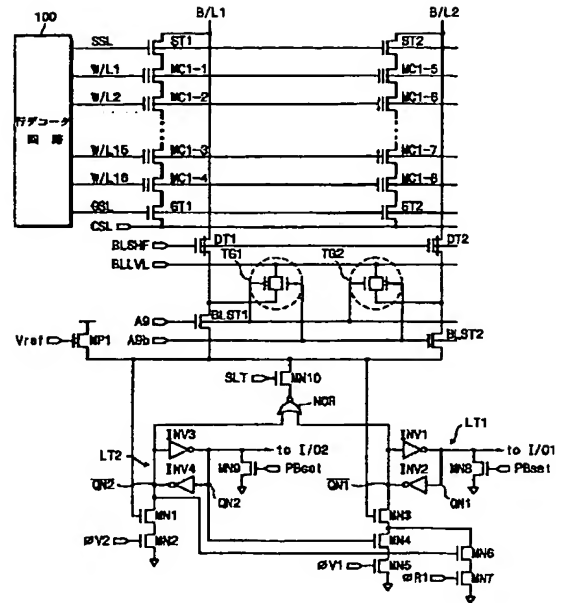
【図6】



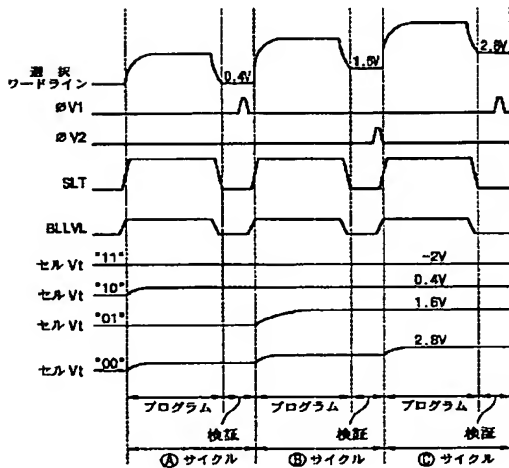
【図5】



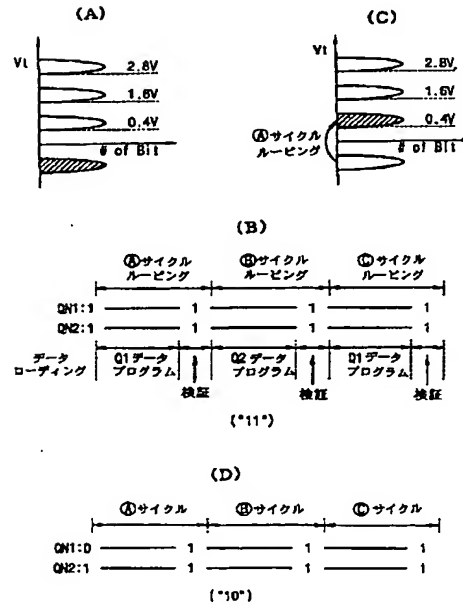
【図7】



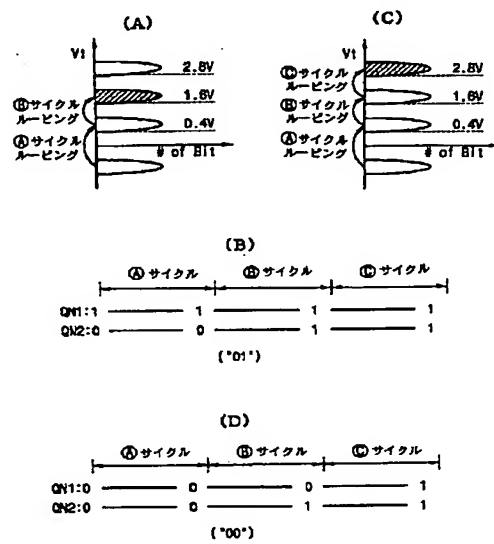
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl. 7

識別記号

F I
G 1 1 C 17/00

テーマコート* (参考)

6 4 1